

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-237250

(P2001-237250A)

(43) 公開日 平成13年8月31日 (2001.8.31)

(51) Int.Cl.⁷

H 0 1 L 21/338
29/812

識別記号

F I

H 0 1 L 29/80

テ-マ-ド* (参考)

B 5 F 1 0 2

審査請求 有 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願2000-44039 (P2000-44039)

(22) 出願日 平成12年2月22日 (2000.2.22)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 石倉 幸治

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 金森 幹夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

最終頁に続く

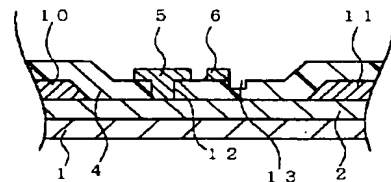
(54) 【発明の名称】 半導体装置

(57) 【要約】

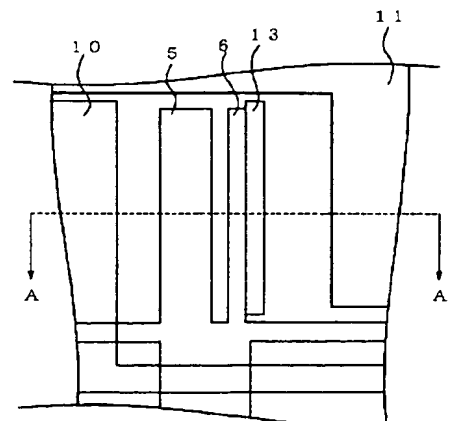
【課題】動作層の上に絶縁膜を付けてゲート電極と共にフィールドプレートを設けてド레인電圧によるゲートド레인間の電界を緩和する構造のFETにおいては、例えばド레인電圧を20Vにし、高温通電試験を行うと、フィールドプレート端での電界が、数100kV/cm以上と高く、これによって絶縁膜が分解反応を起こし、ゲート電流が短期間のうちに増加してしまうという問題があった。

【解決手段】フィールドプレート6のド레인側側面近傍に、ゲート電極5及びフィールドプレート6の下敷きとなる酸化膜の薄い領域13を形成しておくことにより、高温長時間通電時にフィールドプレート6端部とド레인間に印加される電界を緩和でき、半導体装置としての信頼性を向上させることが可能となる。

(a)



(b)



1

【特許請求の範囲】

【請求項1】 動作層と、前記動作層と同じ導電型の不純物を高濃度を含み、前記動作層の両側に位置するソースコンタクト層及びドレインコンタクト層と、前記ソースコンタクト層と前記ドレインコンタクト層との間に開口部を有し、かつ、少なくとも前記ソースコンタクト層と前記ドレインコンタクト層との間に挟まれた前記動作層の表面を覆う絶縁膜と、少なくとも前記開口部を覆うゲート電極とを備える半導体装置であって、前記ソースコンタクト層と前記ドレインコンタクト層との間の前記絶縁膜上にあって、前記ゲート電極と前記ドレインコンタクト層との間に前記ゲート電極と連結するフィールドプレート

を有し、かつ、前記フィールドプレートの方から前記ドレインコンタクト層に到る領域において前記絶縁膜が少なくとも絶縁膜厚の薄い部分を有することを特徴とする半導体装置。

【請求項2】 前記絶縁膜の薄い部分が、前記フィールドプレートの前記ドレインコンタクト層側の側面直下から前記フィールドプレートと前記ドレインコンタクト層との間の位置に渡って設けられる請求項1記載の半導体装置。

【請求項3】 前記絶縁膜の薄い部分が、少なくとも前記フィールドプレートの前記ドレインコンタクト層側の側面直下から前記ドレインコンタクト層の前記フィールドプレート側端部に渡って設けられる請求項1記載の半導体装置。

【請求項4】 前記絶縁膜の薄い部分が、前記フィールドプレートの中央部から前記フィールドプレートと前記ドレインコンタクト層との間の位置に渡って設けられる請求項1記載の半導体装置。

【請求項5】 前記ソースコンタクト層と前記ドレインコンタクト層との間で、前記ゲート電極及び前記フィールドプレートをチャンネル長方向に切断したとき、前記ゲート電極と前記フィールドプレートとは互いに離間している請求項1、2、3又は4記載の半導体装置。

【請求項6】 前記ソースコンタクト層と前記ドレインコンタクト層との間で、前記ゲート電極及び前記フィールドプレートをチャンネル長方向に切断したとき、前記ゲート電極と前記フィールドプレートとは連結している請求項1、2、3又は4記載の半導体装置。

【請求項7】 前記絶縁膜は、シリコン酸化膜である請求項1、2、3、4、5又は6記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、特に、ヘテロ接合型の電界効果トランジスタの高温長時間通電時における信頼性の向上に関するものである。

【0002】

【従来の技術】電界効果トランジスタ(FET)において、年々高出力化の要望が高まっているが、FETのゲ

2

ート幅を大きくして出力を増やすと、FETのインピーダンスが低下するため整合回路の損失が増加し、良好な出力特性を得ることが困難となる。

【0003】したがって、ゲート幅を増やさずに出力を増やす方法として、動作時のドレイン電圧を高くする試みがなされている。その試みの一つとして、ゲート・ドレイン間にフィールドプレートを設けるフィールドプレート-FETも有望な構造となっている(特開昭63-87773号公報)。この構造の断面図を図3(a)に示す。

【0004】FETは、GaAs基板101、GaAs動作層102、n型GaAs層103、SiO₂膜104、ゲート電極105、フィールドプレート106、n型ソースコンタクト層110、n型ドレインコンタクト層111、ゲート電極開口部112(ソース電極及びドレイン電極は、n型ソースコンタクト層110及びn型ドレインコンタクト層111の上のSiO₂膜104に開口したそれぞれソースコンタクト及びドレインコンタクトに設けられて、n型ソースコンタクト層110及びn型ドレインコンタクト層111を外部と接続するが、本発明とは関係のない部分であるので、図示及び説明は省略している)。

【0005】

【発明が解決しようとする課題】しかしながら、フィールドプレート-FETにおいて例えばドレイン電圧を20Vにし、高温通電試験を行うとゲート電流が短期間のうちに増加してしまうという問題があった。

【0006】この原因は、フィールドプレート106端での電界118が、数100kV/cm以上と高く、これによって絶縁膜が分解反応を起こし、破壊に至るものと考えられる。

【0007】本発明の目的は、フィールドプレートを用いた電界効果トランジスタにおいて、トランジスタの通電時にフィールドプレートとドレイン間に掛かる電界を緩和する構造を提供することにある。

【0008】

【課題を解決するための手段】本発明の半導体装置は、動作層と、前記動作層と同じ導電型の不純物を高濃度を含み、前記動作層の両側に位置するソースコンタクト層及びドレインコンタクト層と、前記ソースコンタクト層と前記ドレインコンタクト層との間に開口部を有し、かつ、少なくとも前記ソースコンタクト層と前記ドレインコンタクト層との間に挟まれた前記動作層の表面を覆う絶縁膜と、少なくとも前記開口部を覆うゲート電極とを備える半導体装置であって、前記ソースコンタクト層と前記ドレインコンタクト層との間の前記絶縁膜上にあって、前記ゲート電極と前記ドレインコンタクト層との間に前記ゲート電極と連結するフィールドプレートを有し、かつ、前記フィールドプレートの方から前記ドレインコンタクト層に到る領域において前記絶縁膜が少な

3

くとも絶縁膜厚の薄い部分を有することを特徴とし、前記絶縁膜の薄い部分が、前記フィールドプレートの前記ドレインコンタクト層側の側面直下から前記フィールドプレートと前記ドレインコンタクト層との間の位置に渡って設けられる、或いは、前記絶縁膜の薄い部分が、少なくとも前記フィールドプレートの前記ドレインコンタクト層側の側面直下から前記ドレインコンタクト層の前記フィールドプレート側端部に渡って設けられる、或いは、前記絶縁膜の薄い部分が、前記フィールドプレートの中央部から前記フィールドプレートと前記ドレインコンタクト層との間の位置に渡って設けられる、というもので、前記ソースコンタクト層と前記ドレインコンタクト層との間で、前記ゲート電極及び前記フィールドプレートをチャンネル長方向に切断したとき、前記ゲート電極と前記フィールドプレートとは互いに離間しているか、又は、前記ゲート電極と前記フィールドプレートとは連結している、というものである。

【0009】最後に、上記の半導体装置の形態の一つとして、前記絶縁膜がシリコン酸化膜である、というものである。

【0010】

【発明の実施の形態】本発明の実施形態について説明する前に、まず、本発明の特徴を簡単に記しておく。電界効果トランジスタにおいてゲート・ドレイン(G-D)間の絶縁膜上に設けられたフィールドプレート(フィールドプレート)のドレイン側の絶縁膜に凹部を設けることにより、フィールドプレート電極端での電界集中を緩和させ、動作中での絶縁膜破壊を防止することを特徴とする。

【0011】次に、本発明の第1の実施形態について、FETの断面図を示した図1を用いて説明する。

【0012】まず、GaAs基板1上に、例えばMBE法でGaAs動作層2を形成し、続いて高濃度の不純物を含むn型GaAs層3を成長させて、GaAsウェーハを用意する。

【0013】次に、例えば硫酸と過酸化水素を混合した溶液で選択的にn型GaAs層3をエッチング除去し、n型ソースコンタクト層10及びn型ドレインコンタクト層11を形成し、続いて、例えばプラズマCVD法でSiO₂膜4を0.4μmの厚さに成長する(図1(a))。

【0014】次に、ゲートとなる領域のSiO₂膜4を、例えばCF₄をベースとするドライエッチング法で除去してゲート電極開口部12を形成した後、ゲート電極開口部12を含むSiO₂膜4表面にWSi、続いて金をスパッタ法で連続成長する。

【0015】続いて、レジスト(図示せず)をマスクとしてゲート領域部及びゲート・ドレイン間の領域にWSi及び金が残るように、例えばミリング法で不要部分を除去する。これによりゲート電極5及びフィールドプレ

4

ート6が形成される(図1(b))。

【0016】次に、フィールドプレート6のドレイン方向の側面に接して幅が、例えば0.2μmの隙間のみが開口されたレジスト7を形成した後、例えばCF₄ガスをベースとするドライエッチング法でSiO₂膜4を表面から0.2μmエッチングし、SiO₂膜凹部13を形成する。ドライエッチングは異方性があり、SiO₂膜4をほぼ垂直に開口することができる(図1(c))。

【0017】最後に、レジスト7を除去した後、新たに別のレジストをマスクとして(図示せず)n型ソースコンタクト層10及びn型ドレインコンタクト層11の上のSiO₂膜4を、例えばHF系の溶液で選択的に除去してソースコンタクト及びドレインコンタクト(共に図示省略)を形成し、さらに、ソースコンタクト及びドレインコンタクトにより露出した、それぞれn型ソースコンタクト層10及びn型ドレインコンタクト層11の表面にAuGeNiからなるオーミック電極材を蒸着し、そしてアロイすることによりソース電極及びドレイン電極(共に図示省略)を形成するとFETの製造は完成する(図2(a))。

【0018】以上のように形成した電界効果トランジスタの平面図は、図2(b)の如くになっており、図2(a)は図2(b)の切断線A-A'に沿った断面図である。

【0019】又、このようにして得られた電界効果トランジスタは、フィールドプレートの横のSiO₂膜4にSiO₂膜凹部13を有し、平面的には、SiO₂膜4にSiO₂膜4の厚さを薄くしたストライプ状の溝を有することを特徴としている。

【0020】SiO₂膜に凹部がない場合は、図3(a)に示すようにフィールドプレートの角の電界118は高くなり、凹部があると図3(b)の電界118で示すような電気力線になり、電界が緩和される。

【0021】図4に、従来例の凹型がないフィールドプレート-FETと本発明のフィールドプレート-FETの長期高温通電試験を示す。長期高温通電試験の条件はドレイン電圧V_{ds}=20V、チャンネル温度T_{ch}=280℃で行った。FETのゲート電流(I_g)は、従来例の構造、本発明の構造ともに、初期I_gは数nAであったのが、従来例の構造では高温通電試験開始後20時間経過した時点で20μAに増加する劣化が見られた。一方、本発明構造では200時間経過した時点でもI_gの増加は見られなかった。従来構造におけるI_gの増加はドレイン側のフィールドプレート端での高電界によりフィールドプレート下のSiO₂膜が破壊したためであり、電界が緩和された本構造では破壊が抑制されている。

【0022】次に、本発明の第2の実施形態を図5(a)を参照して説明する。本実施形態では、ゲートと

5

フィールドプレートが一体となった構造となっていて、それ以外は、第1の実施形態と同じであるので詳細な説明は省略する。

【0023】即ち、FETは、GaAs基板21、GaAs動作層22、n⁺型GaAs層23、SiO₂膜24、ゲート電極25、n⁺型ソースコンタクト層30、n⁺型ドレインコンタクト層31、ゲート電極開口部32、SiO₂膜凹部33から構成され、ゲート電極25がフィールドプレートを兼ねる構造となっている。ゲート電極とフィールドプレートとが一体となった構造において、凹型の溝を形成することにより電界集中が緩和される。

【0024】次に、本発明の第3の実施形態を図5(b)を参照して説明する。第1の実施形態においては、SiO₂膜の薄い部分が、フィールドプレートのドレイン側の側面から一定の領域に限定されたが、本実施形態では、SiO₂膜の薄い部分が、少なくともフィールドプレートとn⁺型ドレインコンタクト層との間の領域に形成される構造となっていて、それ以外は、第1の実施形態と同じであるので詳細な説明は省略する。

【0025】即ち、FETは、GaAs基板41、GaAs動作層42、n⁺型GaAs層43、SiO₂膜44、ゲート電極45、フィールドプレート46、n⁺型ソースコンタクト層50、n⁺型ドレインコンタクト層51、ゲート電極開口部52、SiO₂膜薄膜部53から構成され、SiO₂膜薄膜部53がドレイン電極（図示せず）端部まで続く構造となっている。この構造においても、ドレインに電圧が印加されたとき、SiO₂膜薄膜部の存在によりフィールドプレートのドレイン側端部での電界集中を緩和することができる。

【0026】次に、本発明の第4の実施形態を図5(c)を参照して説明する。本実施形態では、フィールドプレートの下にSiO₂膜の凹部の一部が入り込み、フィールドプレートがSiO₂膜の凹部の底となっていて、それ以外は、第1の実施形態と同じであるので詳細な説明は省略する。

【0027】即ち、FETは、GaAs基板61、GaAs動作層62、n⁺型GaAs層63、SiO₂膜64、ゲート電極65、フィールドプレート66、n⁺型ソースコンタクト層70、n⁺型ドレインコンタクト層71、ゲート電極開口部72、SiO₂膜凹部73から構成され、フィールドプレート66がSiO₂膜64上にはみ出し、SiO₂膜凹部73に対して底となっている。

【0028】この構造では、特に、後にFET上のSiO₂膜64の上全面に第2の絶縁膜を形成しても、フィ

6

ールドプレート66がSiO₂膜凹部73に対して底となっているため、底下に隙間が形成され、フィールドプレート下にSiO₂膜の薄い領域を確保できるというメリットがあり、第2の絶縁膜を堆積しても、SiO₂膜薄膜部の存在によりフィールドプレートのドレイン側端部での電界集中を緩和することができるという効果を保持できる。

【0029】

【発明の効果】上述のように、本発明の半導体装置を用いれば、ゲート電極の近傍にフィールドプレートを設けてドレインの耐圧を上げる構造において、フィールドプレートのドレイン側側面近傍に、ゲート電極及びフィールドプレートの下敷きとなる酸化膜の薄い領域を形成しておくことにより、高温長時間通電時にフィールドプレート端部とドレイン間に印加される電界を緩和でき、半導体装置としての信頼性を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の半導体装置の製造方法を工程順に示す断面図である。

【図2】(a)は、図1に続く製造工程を示す断面図であり、(b)は(a)の平面図である。

【図3】本発明の第1の実施形態の半導体装置と従来の半導体装置のフィールドプレートに掛かる電界の違いを示す断面模式図である。

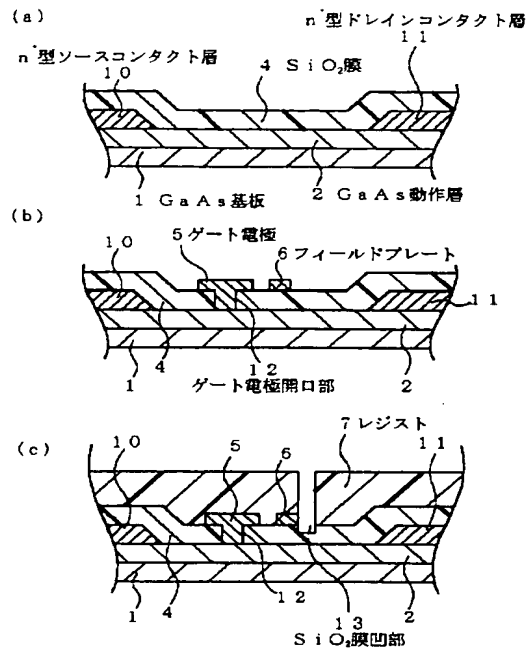
【図4】本発明の半導体装置及び従来の半導体装置を長時間通電したときのゲートリーク電流の変化の様子を示すグラフである。

【図5】本発明の第2、3、4の実施形態の半導体装置を示す断面図である。

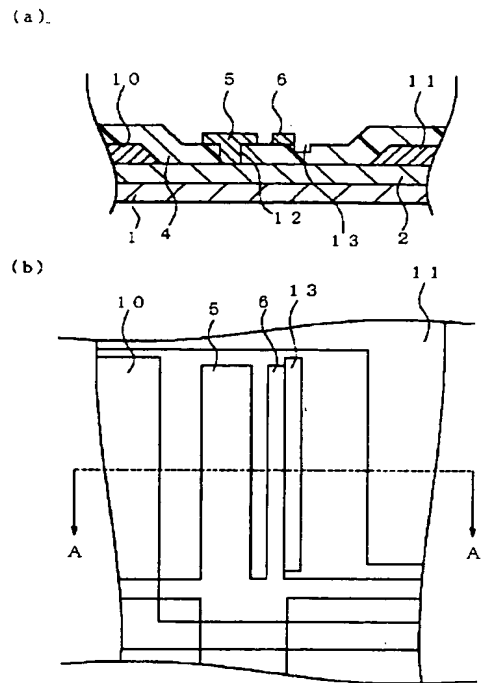
【符号の説明】

1、21、41、61、101	GaAs基板
2、22、42、62、102	GaAs動作層
4、24、44、64、104	SiO ₂ 膜
5、25、45、65、105	ゲート電極
6、26、46、66、106	フィールドプレート
7 レジスト	
10、30、50、70、110	n ⁺ 型ソースコンタクト層
11、31、51、71、111	n ⁺ 型ドレインコンタクト層
12、32、52、72、112	ゲート電極開口部
13、33、73	SiO ₂ 膜凹部
18、118	電界
53	SiO ₂ 膜薄膜部

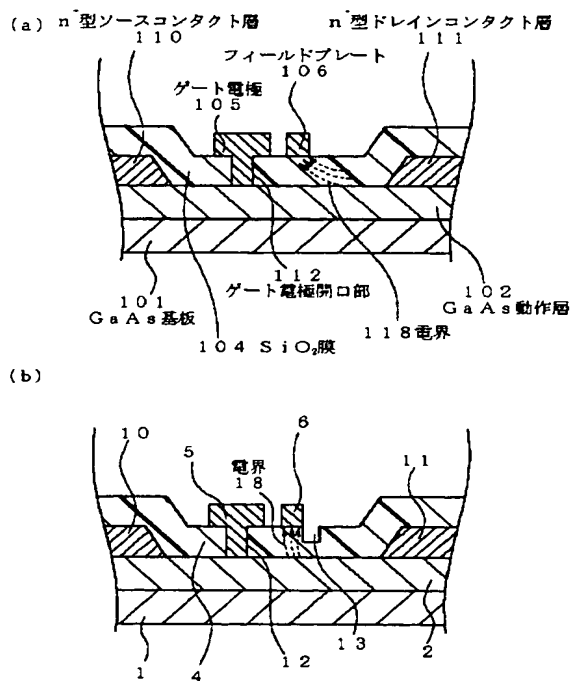
【図1】



【図2】

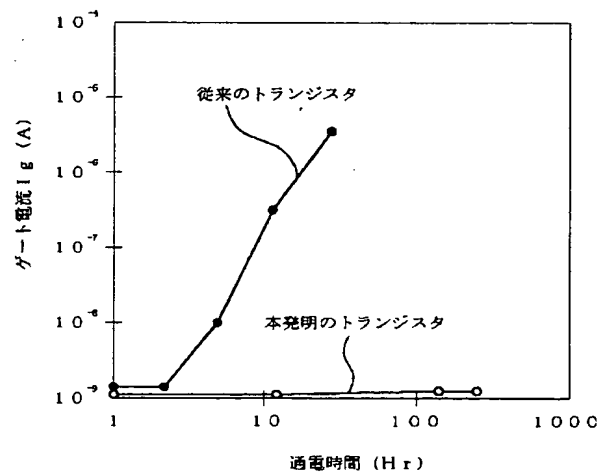


【図3】

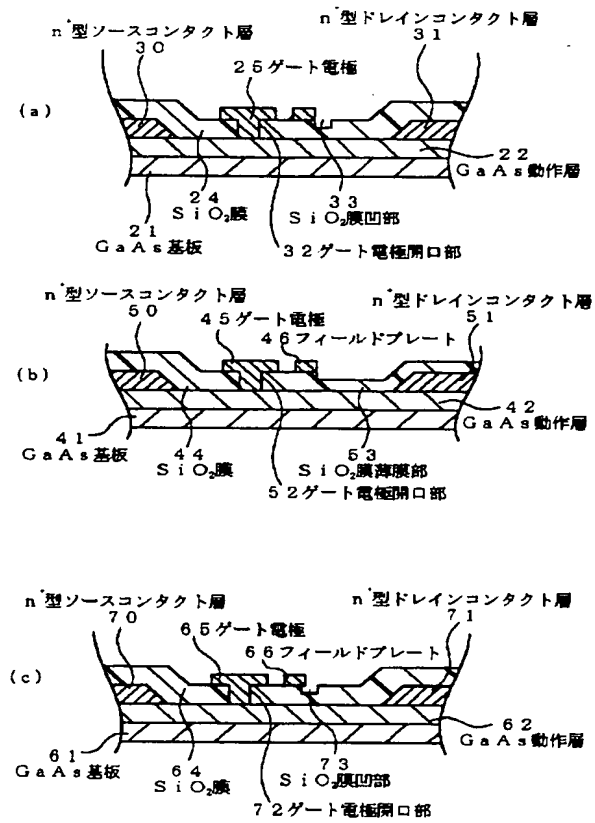


【図4】

本発明のトランジスタと従来のトランジスタの
高温長時間通電によるゲート電流の比較



【図5】



フロントページの続き

Fターム(参考) 5F102 FA01 FA02 FA09 GB01 GC01
 GD01 GJ05 GL05 GN05 GR04
 GR06 GR13 GT05 GV05 GV07
 HC17